

# Silvermont : Intel réarchitecture ses processeurs Atom

Engagé dans une réorientation stratégique vers un marché de la mobilité qui lui échappe pour l'heure, **Intel** veut faire de ses processeurs **Atom** les égéries du rapport performance par watt idéal.

Avec dans son collimateur les smartphones et les tablettes, mais aussi, en toile de fond, les set-top box, les TV connectées, les micro-serveurs domestiques et autres équipements basse consommation, la multinationale américaine lève le rideau sur la microarchitecture **Silvermont**.

Cette dernière succèdera à l'actuelle Saltwell, sur lequel se basent les puces "Clover Trail(+)", essentiellement embarquées dans des tablettes numériques et des [PC portables convertibles](#).

Intel fait valoir un haut niveau d'intégration, avec un gain en finesse de gravure (on passe de 32 à 22 nm) qui contribuerait à tripler les performances en multitâche (x2 en monotâche).

A puissance égale, il est question, par rapport à la précédente génération, d'une enveloppe thermique divisée par cinq pour les tâches qui exploitent un seul coeur (et par deux pour les autres).

L'introduction de Silvermont préfigure d'une stratégie tic-toc, telle celle appliquée aux processeurs Core : Intel a déjà en ligne de mire, à l'horizon 2014, la gravure CMOS 14 nm, qui devrait intervenir à la faveur d'un die shrink (sur la feuille de route, il s'agit d'un "tic").

Dans un premier temps, en l'occurrence au 4<sup>e</sup> trimestre 2013, place nette sera faite aux puces Bay Trail (plate-forme Merrifield), qui bénéficieront des avancées de Silvermont.

En tête de liste, les transistors 3D MOS "Tri-Gate", dont l'agencement accélère de 37% la vitesse de traitement, pour une consommation électrique réduite de moitié.

Autre première dans la famille Atom, le mode "out-of-order" : les instructions sont interprétées dans l'ordre, mais elles sont exécutées dans le désordre, pour plus d'efficacité, notamment lorsqu'un programme est dépendant de variables.

C'est dans cette même logique que l'unité de prédiction dédiée à chaque coeur – qui possède au passage son propre signal d'horloge – hérite de branchements plus larges, avec un système de décodage sur deux canaux.

Comme le note [AnandTech](#), Intel construit son architecture autour de modules bicoeurs (4 maximum) pourvus chacun de leur propre interface d'entrée-sortie et d'un cache L2 partage (1 Mo).

Parmi les autres améliorations, on recense la prise en charge du VT-x2 (meilleur support de la virtualisation), du jeu d'instructions SSE 4.2 (génération Westemer) ou encore l'AES-NI pour le chiffrement des données.

Mais les travaux se sont surtout portés sur une gestion plus fine de l'énergie. Témoin les nouveaux

états de veille profonde et le Burst 2.0, version spécifique de la technologie Turbo des Core.

Il s'agit de contrôler la montée en charge et de réguler dynamiquement l'enveloppe thermique, y compris au niveau de la partie graphique, sur laquelle Intel reste étrangement silencieux.

— **A voir aussi** —

[Quiz ITespresso.fr : armé pour choisir le bon microprocesseur ?](#)

*Credit photo : S.Dashkevych – Shutterstock.com*